

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-295098

(43)Date of publication of application : 26.12.1991

(51)Int.CI. G11C 16/06
H01L 27/115
H01L 29/788
H01L 29/792

(21)Application number : 02-251712

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.09.1990

(72)Inventor : OUCHI KAZUNORI
TANAKA TOMOHARU
IWATA YOSHIHISA
ITO YASUO
MOMOTOMI MASAKI
MASUOKA FUJIO

(30)Priority

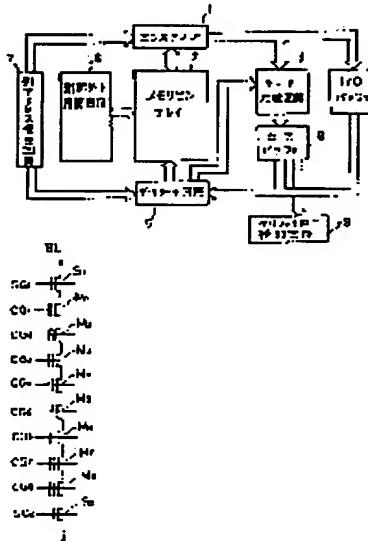
Priority number : 02 82947 Priority date : 31.03.1990 Priority country : JP

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To decrease the threshold level distribution of a memory cell by applying a prescribed verification potential to a control gate of the memory cell in an EEPROM employing a memory transistor (TR) in which a charge storage layer and a control gate are laminated so as to confirm a data write state.

CONSTITUTION: Memory TRs M1 – M8 each of the charge storage layer and the control gate of which are laminated on a semiconductor substrate are connected in series and TRs S1, S2 are connected in series to form a NAND EEPROM cell. Then a prescribed verify potential is fed to a selected EEPROM cell in a memory cell array 2 from a control gate control circuit 6 to write the cell, and write information from a data latch circuit 5 via an I/O buffer 4 and readout information from a sense amplifier 1 are compared at a data comparator circuit 3 forming a verify control circuit, a threshold level of the EEPROM is confirmed and when the level is not reached to the threshold level. Rewrite is repeated.

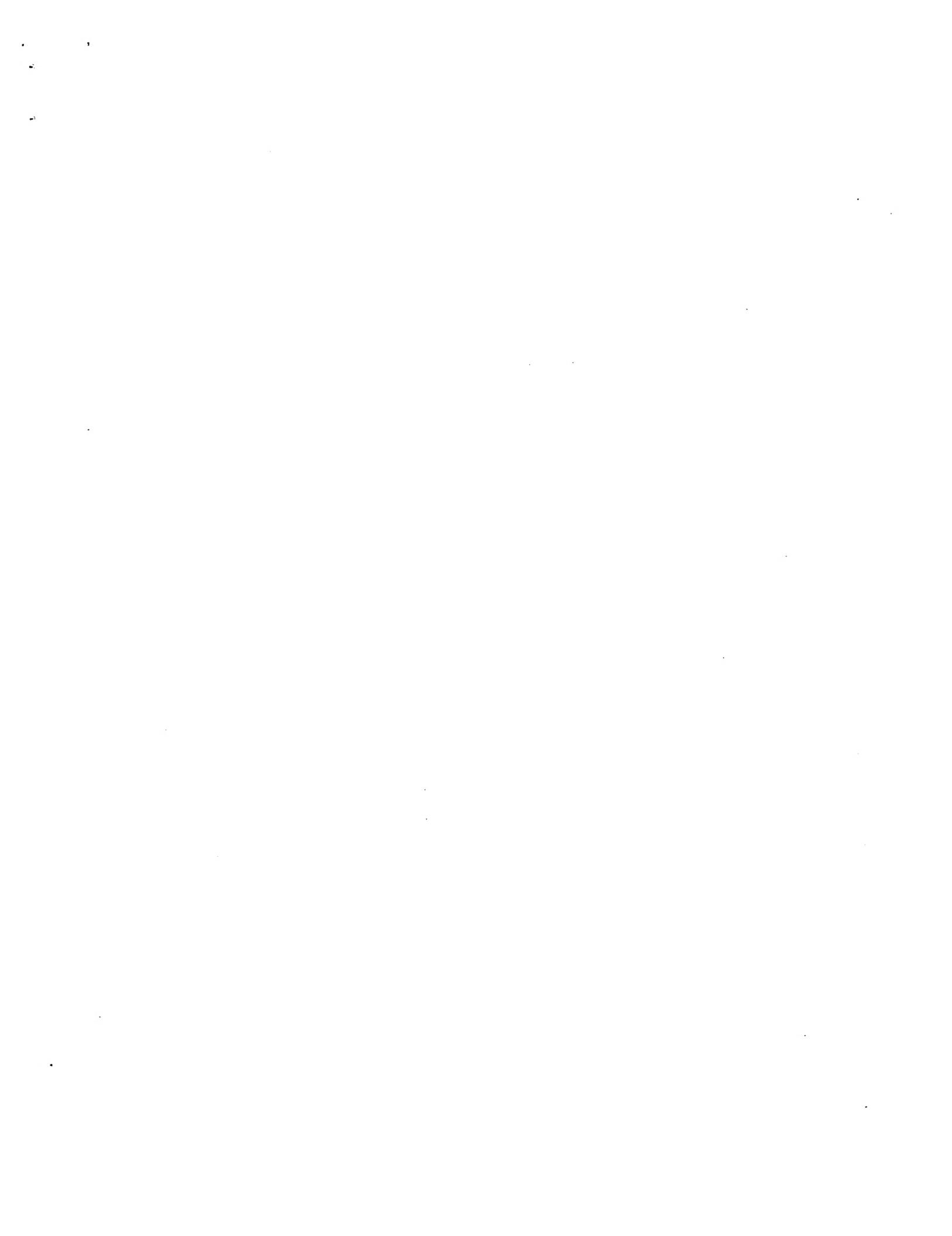


LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or



- application converted registration]
[Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision
of rejection]
- [Date of requesting appeal against examiner's
decision of rejection]
- [Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑭公開特許公報(A)

平3-295098

⑤Int.Cl.⁵
G 11 C 16/06

識別記号

府内整理番号

⑬公開 平成3年(1991)12月26日

9191-5L G 11 C 17/00 309 E
7514-4M H 01 L 29/78 371 *

審査請求 未請求 請求項の数 4 (全17頁)

④発明の名称 不揮発性半導体記憶装置

⑪特願 平2-251712

⑫出願 平2(1990)9月25日

優先権主張 ⑬平2(1990)3月31日 ⑭日本(JP) ⑮特願 平2-82947

⑯発明者 大内 和則 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑯発明者 田中 智晴 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑯発明者 岩田 佳久 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑯出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

⑯代理人 弁理士 鈴江 武彦 外3名

最終頁に続く

明細書

1. 発明の名称

不揮発性半導体記憶装置

2. 特許請求の範囲

(1) 半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電気的書き換えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有する不揮発性半導体記憶装置において、選択されたメモリセルの制御ゲートに所定のペリファイ電位を印加してデータ書き込み状態を確認する書き込みペリファイ制御回路を有することを特徴とする不揮発性半導体記憶装置。

(2) 半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電気的書き換えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイと、前記メモリセルアレイのピット線に書き込みデー

タを与えるデータ入力バッファおよびデータラッチ回路と、

前記メモリセルアレイのピット線データを読出すセンスアンプ回路およびデータ出力バッファと、

前記メモリセルアレイにデータ書き込みを行った後に、書き込み状態を確認するためのペリファイ電位を順次選択された制御ゲート線に印加してデータ読み出しを行う制御ゲート制御回路と、

前記データラッチ回路とセンスアンプ回路の出力を比較してその結果を一時ラッチする機能を持つデータ比較回路と、

このデータ比較回路の出力により書き込み状態を確認して、書き込み不十分のメモリセルに対して再書き込みを行う手段と、

を備えたことを特徴とする不揮発性半導体記憶装置。

(3) 半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電気的書き換えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成し

てマトリクス配列されたメモリセルアレイと、

前記メモリセルアレイのピット線方向の一方の端部に設けられて、ペリファイ動作時に列アドレスに関係なく全てのピット線に対してセンス動作と再書き込みすべきデータのラッチを行うデータラッチ兼センスアンプを有する第1のピット線制御回路と、

前記メモリセルアレイのピット線方向の他方の端部に設けられて、ペリファイ動作時に第1のピット線制御回路がラッチしているデータにより再書き込みが行われた後、センスアンプとして動作しセシスしたデータをそのまま再書き込み用データとしてラッチするデータラッチ兼センスアンプを有する第2のピット線制御回路と、

前記メモリセルアレイにデータ書き込みを行った後に、書き込み状態を確認するためのペリファイ電位を順次選択された制御ゲート線に印加してデータ読み出しを行う制御ゲート制御回路と、
を備えたことを特徴とする不揮発性半導体記憶装置。

(4) 前記第1および第2のピット線制御回路のデータラッチ兼センスアンプはCMOSフリップフロップであることを特徴とする請求項3記載の不揮発性半導体記憶装置。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、電気的書き換え可能な不揮発性半導体記憶装置(EEPROM)に係り、特にNANDセル構成のメモリセルアレイを有するEEPROMに関する。

(従来の技術)

EEPROMの一つとして、高集積化が可能なNANDセル型EEPROMが知られている。これは、複数のメモリセルをそれらのソース、ドレインを隣接するもの同士で共用する形で直列接続して一単位としてピット線に接続するものである。メモリセルは通常電荷蓄積層と制御ゲートが積層されたFETMOS構造を有する。メモリセルアレイは、p型基板またはn型基板に形成され

たp型ウェル内に集積形成される。NANDセルのドレン側は選択ゲートを介してピット線に接続され、ソース側はやはり選択ゲートを介してソース線(基準電位記録)に接続される。メモリセルの制御ゲートは、行方向に連続的に配設されてワード線となる。

このNANDセル型EEPROMの動作は次の通りである。データ書き込みの動作は、ピット線から最も離れた位置のメモリセルから順に行う。選択されたメモリセルの制御ゲートには高電圧V_{pp}(-20V程度)を印加し、それよりピット線側にあるメモリセルの制御ゲートおよび選択ゲートには中間電位V_{ppM}(-10V程度)を印加し、ピット線にはデータに応じて0Vまたは中間電位を与える。ピット線に0Vが与えられた時、その電位は選択メモリセルのドレンまで伝達されて、ドレンから浮遊ゲートに電子注入が生じる。これによりその選択されたメモリセルのしきい値は正方向にシフトする。この状態をたとえば“1”とする。ピット線に中間電位が与えられたときは

電子注入が起こらず、従ってしきい値は変化せず、負に止まる。この状態は“0”である。

データ消去は、NANDセル内のすべてのメモリセルに対して同時に行われる。すなわち全ての制御ゲート、選択ゲートを0Vとし、ピット線およびソース線を浮遊状態として、p型ウェルおよびn型基板に高電圧20Vを印加する。これにより、全てのメモリセルで浮遊ゲートの電子がp型ウェルに放出され、しきい値は負方向にシフトする。

データ読み出し動作は、選択されたメモリセルの制御ゲートを0Vとし、それ以外のメモリセルの制御ゲートおよび選択ゲートを電源電位V_{cc}(-5V)として、選択メモリセルで電流が流れるとか否かを検出することにより行われる。

以上の動作説明から明らかのように、NANDセル型EEPROMでは、書き込みおよび読み出し動作時には非選択メモリセルは転送ゲートとして作用する。この観点から、書き込みがなされたメモリセルのしきい値電圧には制限が加わる。たとえば、

“1”書き込みされたメモリセルのしきい値の好ましい範囲は、0.5~3.5V程度となる。データ書き込み後の経時変化、メモリセルの製造バラメータのばらつきや電源電位のばらつきを考慮すると、データ書き込み後のしきい値分布はこれより小さい範囲であることが要求される。

しかしながら、従来のような、書き込み電位および書き込み時間を固定して全メモリセルを同一条件でデータ書き込みする方式では、“1”書き込み後のしきい値範囲を許容範囲に収めることが難しい。たとえばメモリセルは製造プロセスのばらつきからその特性にもばらつきが生じる。従って書き込み特性を見ると、書き込まれやすいメモリセルと書き込まれにくいメモリセルがある。従来はこれに対して、書き込まれにくいメモリセルに十分に書き込まれるように、書き込み時間に余裕を持たせて全メモリセルを同一条件で書き込むという事が一般に行われている。これでは、書き込まれ易いメモリセルには必要以上に書き込まれ、しきい値電圧が許容範囲を越えて高くなってしまう。

(作用)

本発明においては、データ書き込みを行った後に、書き込みペリファイ制御回路によってメモリセルの制御ゲートに所定のペリファイ電位（たとえば電源電位と接地電位の中間に設定される）を与えてメモリセルのしきい値電圧を評価する。そして所望のしきい値に達していないメモリセルがあれば、書き込み動作を追加する。その後再度しきい値の評価を行う。この操作を繰り返し行い、すべてのメモリセルのしきい値が所望の許容範囲に収まっていることを確認したら書き込み動作を終了する。

この様にして本発明によれば、1回のデータ書き込み時間を短くして、データ書き込みをその進行の程度をチェックしながら小刻みに繰り返すことによって、最終的にデータ書き込みが終了したメモリセルアレイのしきい値分布を小さいものとすることができる。

(実施例)

以下、本発明の実施例を図面を参照して説明

(発明が解決しようとする課題)

以上のように従来のNANDセル型EEPROMでは、データ書き込みの際、メモリセルが転送ゲートとして作用することから制限される許容しきい値範囲に収めることが難しい、という問題があった。

本発明は、書き込み状態のメモリセルのしきい値分布を小さくする事を可能としたNANDセル型のEEPROMを提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明は、半導体基板上に電荷蓄積層と制御ゲートが積層形成され、電荷蓄積層と基板の間の電荷の授受により電気的書き換えを可能としたメモリセルが複数個ずつ直列接続されてNANDセルを構成してマトリクス配列されたメモリセルアレイを有する不揮発性半導体記憶装置において、選択されたメモリセルの制御ゲートに所定のペリファイ電位を印加してデータ書き込み状態を確認する制御ゲート制御回路を有することを特徴とする。

する。

第1図は一実施例におけるNANDセル型EEPROMの構成を示している。図では、番地選択を行うためのアドレスバッファおよび行、列のアドレスデコーダ等は省略して、書き込みペリファイ動作に関係する部分の構成を示している。メモリセルアレイ2に対して、データ書き込みおよび読み出しを行うためにデータラッチ回路5およびセンスアンプ回路1が設けられている。これらセンスアンプ回路1、データラッチ回路5はデータ入出力バッファ4につながる。制御ゲート制御回路6は、メモリセルアレイ2の制御ゲート線にデータ書き込み、消去、読み出しおよびペリファイの各動作に対応して所定の制御信号を出力するものである。データラッチ回路5とセンスアンプ回路2は、書き込みペリファイ動作時には、列アドレス発生回路7から出力される列アドレスにしたがってセンス動作と再書き込みすべきデータのラッチを行う。データ比較回路3はやはりペリファイ動作時、データラッチ回路5にラッチされた書き込みデータと、

センスアンプ回路1により読み出されたデータの一致を列アドレスごとに比較検出し、その結果をラッチする機能を有する。この比較回路3の出力は出力バッファ8を介してペリファイ終了検知回路9に導かれる。データラッチ回路5にラッチされた書込みべきデータにしたがって書込み操作が行われた後に、制御回路6による書込みペリファイ動作を行って、書込みデータがすべて所望のしきい値分布内に入っている場合にはこのペリファイ終了検知回路9により、データ書込み終了の信号が得られる。データ書込み終了信号が出ない場合には、再度データ書込み動作を行い、ペリファイ動作を繰り返すことになる。

第2図(a) (b)は、メモリセルアレイの一つのNANDセル部分の平面図と等価回路図であり、第3図(a) (b)はそれぞれ第2図(a)のA-A'およびB-B'断面図である。素子分離酸化膜12で囲まれたn型シリコン基板(またはp型ウェル)11に複数のNANDセルからなるメモリセルアレイが形成されている。一つのNAND

セルに着目して説明するとこの実施例では、8個のメモリセルM₁～M₈が直列接続されて一つのNANDセルを構成している。メモリセルはそれぞれ、基板11にゲート絶縁膜13を介して浮遊ゲート14(14₁, 14₂, …, 14₈)が形成され、この上に層間絶縁膜15を介して制御ゲート16(16₁, 16₂, …, 16₈)が形成されて、構成されている。これらのメモリセルのソース、ドレインであるn型拡散層19は隣接するもの同志共用する形で、メモリセルが直列接続されている。NANDセルのドレイン側、ソース側には夫々、メモリセルの浮遊ゲート、制御ゲートと同時に形成された選択ゲート14₀, 16₀および14₁₀, 16₁₀が設けられている。素子形成された基板上はCVD酸化膜17により覆われ、この上にピット線18が配設されている。ピット線18はNANDセルの一端のドレイン側拡散層19にはコントラクトさせている。行方向に並ぶNANDセルの制御ゲート14は共通に制御ゲート線CG₁, CG₂, …, CG₈として配設され

ている。これら制御ゲート線はワード線となる。選択ゲート14₀, 16₀および14₁₀, 16₁₀もそれぞれ行方向に連続的に選択ゲート線SG₁, SG₂として配設されている。

第4図は、この様なNANDセルがマトリクス配列されたメモリセルアレイの等価回路を示している。

第5図は、第1図の中のセンスアンプ回路1、データラッチ回路5、データ比較回路3、出力バッファ8の部分の具体的な構成を示している。データラッチ回路5は、ラッチ信号LATCHとアドレスa₁の論理によって選ばれたアドレスのデータがラッチ回路本体LAにラッチされる。センスアンプ回路1は、センス制御信号SENSEとアドレスa₁の論理によって選ばれたアドレスのピット線データをセンスして出力する。このセンスアンプ回路1の出力は、データラッチ回路5の対応するデータと比較回路3によって比較され、その結果がラッチ信号LATCHV, LATCHVによってラッチされることになる。

第6図は、第1図における制御ゲート制御回路6の部分の具体的構成を示している。この制御回路は、書込み時に選択ゲートに高電位V_{pp}を与える高電位供給回路21、同じく書込み時に非選択の制御ゲートに中間電位V_{ppH}を与える中間電位供給回路22、書込みペリファイ動作時にペリファイ電位V_{vss}を与えるペリファイ電位供給回路23、および消去／読み出し制御回路24により構成されている。この様な回路が各制御ゲート線毎に設けられる。高電位供給回路21は、書込み信号WRITEとアドレスa₁の論理をとるNANDゲートG₁により制御されるEタイプ、nチャネルのスイッチングMOSトランジスタQ_{e1}とEタイプ、pチャネルのスイッチングMOSトランジスタQ_{p1}、および出力バッファとなるEタイプ、pチャネルMOSトランジスタQ_{p2}を主体として構成されている。MOSトランジスタQ_{e1}とQ_{p1}の間、MOSトランジスタQ_{p1}と高電位V_{pp}端子の間には、それぞれスイッチングMOSトランジスタを高電位から保護するためのpチャネルMOS

トランジスタ Q_{D1} , Q_{D2} が設けられている。これらの MOS トランジスタ Q_{D1} , Q_{D2} は D タイプ, n チャネルである。バッファ段 MOS トランジスタ Q_{P1} の上下にも同様に、D タイプ, n チャネル MOS トランジスタ Q_{D3} , Q_{D4} が設けられている。出力段にこの様に p チャネル MOS トランジスタと D タイプ, n チャネル MOS トランジスタを用いているのは、高電位 V_{pp} をしきい値以下なく制御ゲート線に供給するためである。とくに MOS トランジスタ Q_{D4} は、他の回路から制御ゲート線に正電位が供給された時に p チャネル MOS トランジスタ Q_{P2} のドレイン接合が順方向になるのを防止する働きをする。中間電位供給回路 22 も、高電位供給回路 21 と同様に、NAND ゲート G_2 、これにより制御される E タイプ, n チャネルのスイッチング MOS トランジスタ Q_{E2} と E タイプ, p チャネルのスイッチング MOS トランジスタ Q_{P3} 、出力バッファとなる E タイプ, p チャネル MOS トランジスタ Q_{P4} 、および D タイプ, n チャネル MOS トランジスタ Q_{D5} ～ Q_{D8} により構成されている。

第 7 図は、ベリファイ制御回路 23 に与えられるベリファイ電位 V_{VER} の発生回路の構成例である。ベリファイ電位 V_{VER} は、ベリファイ信号 VERIFY が入ったときに電源電位 V_{cc} と接地電位の間に設定された中間電位を出力して、第 6 図のベリファイ電位供給回路 23 によって選択された制御ゲート線に供給されるもので、この実施例では、 V_{cc} と接地電位間に直列接続された E タイプ, n チャネルの MOS トランジスタ Q_{E6} と Q_{E7} を主体として構成されている。これらの MOS トランジスタのゲートに所定のバイアスを与えるために、抵抗 R_1 ～ R_3 の分圧回路が設けられている。原則的にはこれらの分圧回路の端子 A に電源電位 V_{cc} を与えればよいが、それでは貫通電流が流れることになる。これを防止するためこの実施例では、E タイプ n チャネル MOS トランジスタ Q_{E8} 、

構成されている。

消去／読出し制御回路 24 は、読出し信号 READ とアドレス a_1 , $\overline{a_1}$ の論理を取り NAND ゲート G_3 , G_4 、消去信号 EBASE を取り込むインバータゲート I_2 、このインバータゲート I_2 と NAND ゲート G_3 の和を取り NOR ゲート G_4 、これら NOR ゲート G_4 と NAND ゲート G_5 によりそれぞれ制御されるスイッチング用の E タイプ, n チャネル MOS トランジスタ Q_{E3} と E タイプ, p チャネル MOS トランジスタ Q_{P5} 、これらのスイッチング用 MOS トランジスタと制御ゲート線の間に設けられた保護用の D タイプ, n チャネル MOS トランジスタ Q_{D9} ～ Q_{D12} により構成されている。

ペリファイ制御回路 23 は、ペリファイ信号 VERIFY とアドレス a_1 の論理を取り NAND ゲート G_6 とその出力を反転するインバータゲート I_1 、このインバータゲート I_1 により制御されてペリファイ電位 V_{VER} を制御線に供給するためのスイッチング用の E タイプ, n チャネル MOS

Q_{E9} と、E タイプ, p チャネル MOS トランジスタ Q_{P6} , Q_{P7} 、およびインバータ I_3 による切替え回路を設けている。すなわちペリファイ信号 VERIFY が “H” レベルになると、MOS トランジスタ Q_{E9} がオン、 Q_{P7} がオン、 Q_{E9} がオフとなり、分圧回路の端子 A には電源電位 V_{cc} が供給される。これにより、分圧回路の分圧比で設定される MOS トランジスタ Q_{E8} , Q_{E7} の導通状態に対応した中間電位のペリファイ電位 V_{VER} が得られる。ペリファイ信号 VERIFY が “L” レベルの時は、MOS トランジスタ Q_{E9} がオンとなり、分圧回路の端子 A は接地電位となり、ペリファイ電位 V_{VER} の端子はフローティングとなる。この時、切替え回路では、MOS トランジスタ Q_{P7} がオフであるから、電流は流れない。

第 8 図はペリファイ終了検知回路の構成例であり、フリップフロップと NAND ゲートおよびインバータにより構成されている。

次にこのように構成された EEPROM の動作を説明する。

まずデータ書き込みに先立って全てのメモリセルのデータ消去を行う。データ消去時は全ての制御線（ワード線） C_G に $0V$ が与えられる。すなわち第6図に示す制御回路において、消去／読み出し制御回路24に消去信号 $ERASE$ が入り、これによりMOSトランジスタ Q_{B1} がオンになって制御ゲート線 C_G1 が $0V$ とされる。この時選択ゲート線 SG_1, SG_2 も同時に $0V$ とされる。そしてピット線およびソース線をフローティング状態として、メモリセルアレイが形成されたp型基板（またはp型ウェルおよびn型基板）に高電圧 V_{pp} が印加される。このバイアス状態を例えば、 $1.0 \mu\text{sec}$ の間保つことにより、全てのメモリセルで浮遊ゲートから電子が放出され、しきい値が負の“0”状態になる。

データ書き込みは、1ワード分のデータがデータラッチ回路5にラッ奇され、そのデータによってピット線電位が制御されて“0”または“1”が書き込まれる。この時選択された制御ゲート線に高電圧 V_{pp} 、それよりピット線側にある非選択制

御ゲート線に中間電位 V_{ppH} が印加される。第6図の制御回路では書き込み信号 $WRITE$ が入力される。即ち書き込み信号 $WRITE$ とアドレス a_1, \bar{a}_1 の論理によって、高電位供給回路21または中間電位供給回路22がオンとなって選択された制御ゲート線に V_{pp} 、非選択の制御ゲート線に V_{ppH} が印加される。ピット線 B_L には、データ“1”書き込みの時は $0V$ 、“0”書き込みの時は中間電位が与えられる。このデータ書き込みのバイアス条件を保持する時間は、従来の書き込み法に比べて十分に短いもの、例えば従来の $1/100$ 程度、具体的には $1.0 \mu\text{sec}$ 程度とする。“1”が書かれたメモリセルではしきい値が正方向にシフトし、“0”が書かれたメモリセルではしきい値は負に止まる。

次に書き込みペリファイ動作に入る。この実施例においては、データ“1”が書かれたメモリセルのしきい値が所望の値に達しているか否かがチェックされる。この所望のしきい値はメモリセルのデータ保持特性を考慮して決められるもので、例えば $2.5V$ 程度である。この様なペリファイ動

作が書き込みが行われた1ワード線のメモリセルについて行われる。第9図はそのペリファイ動作のタイミング図である。まずセンス信号 $SENSE$ が“H”レベルになり、センスアンプ回路2がイネーブルとなる。この時列アドレス a_1 が入力され、データ出力線にデータが出力されて、データラッチ回路5のデータがラッチ出力線に出力される。この書き込みペリファイ動作のサイクルでは、第6図の制御回路にペリファイ信号 $VERIFY$ と読み出し信号 $READ$ が同時にに入る。これらとアドレス a_1, \bar{a}_1 との論理によって、選択された制御ゲート線には、ペリファイ制御回路23によって、 V_{cc} と接地電位の中間に設定されたペリファイ電位 $V_{VER} = 2.5V$ が供給される。それ以外の制御ゲート線には、消去／読み出し制御回路24のNANDゲートG₃の出力が“L”レベルとなって制御ゲート線に V_{cc} が供給される。この時選択ゲート線 SG_1, SG_2 は共に V_{cc} 、ピット線 B_L も V_{cc} となり、ソース線は $0V$ とされる。これにより、選択されたメモリセ

ルが“1”書き込みがなされたものであって、そのしきい値が $2.5V$ を越えていれば、選択されたメモリセルは非導通となり、データ“1”が読み出される。“1”書き込みがなされたがしきい値が $2.5V$ に達していない場合には、選択されたメモリセルは導通するから、データ“0”として読み出される。そして、書き込みデータとペリファイ動作により読み出されたデータとは、データ比較回路3によって比較されて、ラッチ信号 $LATCH_V$ が“L”レベルが“H”レベルになることにより、比較結果がラッチされる。すなわち読み出されたデータが“1”であれば、これは比較回路3内のインバータ31で反転してデータラッチ回路4からの書き込みデータ“1”とともにNANDゲート32に入り、インバータ33によって書き込みデータが“1”であれば、“0”となってラッチ回路34にラッ奇される。書き込みデータが“1”であるが書き込みが不十分で“0”と読み出された場合には、ラッチ回路34には“1”としてラッ奇される。書き込みデータが“0”的場合には、読み出

されたデータの如何に拘らず、"0"として比較回路3内のラッチ回路34にラッチされる。以上のデータ比較回路3でのラッチデータの様子を表-1にまとめて示す。

表-1

データラッチ回路のデータ	1	1	0	0
センスアンプ回路出力	1	0	1	0
データ比較回路出力	0	1	0	0

データ比較回路3の出力が一つでも"1"となる場合には、ペリファイ終了検知回路9がペリファイ終了信号を出さない。すなわち第8図において、書き込みペリファイ信号V-VERIFYによりフリップフロップが初期化された後、データ比較回路3の出力に"1"が現れると、フリップフロップの出力は"0"にセットされる。データ比較が終了するまではデータ比較信号が"0"、したがってペリファイ終了信号は"0"出力であり、ペリファイが終了していない事を示す。全ビット線の

データ比較が終了すると、データ比較終了信号が"1"になるが、ペリファイが終了しないと信号Dout Vが"H"レベルになる事によって、データ比較回路3のデータが再度データバッファ8を介し、データ入力線を介して新しいデータとしてデータラッチ回路5にラッチされる。上の表から明らかなように、書き込みが不十分であったアドレスについてのみ"1"データが再度ラッチされ、これによって再度"1"データ書き込み動作が繰り返される。そして再度ペリファイ動作を行い、"1"書き込み不十分のメモリセルがなくなると、データ比較回路3に1個も"1"が現れなくなり、フリップフロップは"0"にセットされたままになって、データ比較終了信号が"1"になったときに、ペリファイ終了検知回路9が終了信号を出力して、データ書き込み動作終了となる。

以上の各動作モードでの各部の電位関係をまとめて、表-2に示す。ここでは書き込みおよび書き込みペリファイ時制御ゲート線CG₂が選ばれた場合について示している。

表-2

	消去	書き込み "1"	書き込み "0"	書き込みペリファイ
ビット線	—	10V	0V	5V
SG ₁	0V	10V	10V	5V
CG ₁	0V	10V	10V	5V
CG ₂	0V	20V	20V	2.5V
CG ₃	0V	10V	10V	5V
CG ₄	0V	10V	10V	5V
CG ₅	0V	10V	10V	5V
CG ₆	0V	10V	10V	5V
CG ₇	0V	10V	10V	5V
CG ₈	0V	10V	10V	5V
CG ₉	0V	10V	10V	5V
CG ₁₀	0V	10V	10V	5V
SG ₂	0V	0V	0V	5V
ソース線	—	0V	0V	0V
基板	20V	0V	0V	0V

データ読み出し動作は、従来と同様である。

以上のようにこの実施例によれば、データ書き込み時、1回の書き込み時間を短くして書き込みが不十分なメモリセルに対しては再度書き込みを行うという操作を繰り返す。これによって、従来のように1回の書き込み動作で確実に"1"データを書き込

む場合の製造プロセス等のばらつきに起因する過剰な書き込み、すなわち1"データのしきい値が不要に高くなることが防止され、"1"データが書き込まれた全メモリセルのしきい値のばらつきを小さいものとすることができる。この結果、非選択のメモリセルが転送ゲートとして働くNANDセル型のEEPROMの信頼性が高くなる。

第10図は本発明の別の実施例のNANDセル型EEPROMの要部構成である。メモリセルアレイ31は、第1図の実施例のメモリセルアレイ1と同様の構成を有する。このメモリセルアレイ31に対して、従来と同様にアドレスバッファ32、ロウデコーダ33、カラムデコーダ34、データ入出力バッファ35、基板電位制御回路36等が設けられている。制御ゲート制御回路37は、制御ゲート線にデータ書き込み、消去およびペリファイの各動作に応じて所定の制御信号を出力するもので、その構成は第1図の制御ゲート、制御回路6と同様である。

先の実施例と異なるのは、メモリセルアレイ31の上下すなわちビット線方向の両端にそれぞれセンスアンプ兼データラッチを含む第1のビット線制御回路38と第2のビット線制御回路39が設けられていることである。第1のビット線制御回路38は、書き込みペリファイ時には、列アドレスに関係なく全てのビット線に対してセンス動作と再書き込みすべきデータのラッチを行う。第2のビット線制御回路39も同様に、書き込みペリファイ時には、列アドレスに関係なく全てのビット線に対してセンス動作と再書き込みすべきデータのラッチを行う。ペリファイ動作時のこれら二つのビット線制御回路38, 39の関係は次の通りである。第1のビット線制御回路38がラッチしているデータによってメモリセルアレイ31に書き込みが行われた後、第2のビット線制御回路39がセンスアンプとして動作してセンスしたデータをそのまま再書き込み用データとしてラッチする。次に第2のビット線制御回路39がラッチしているデータによってメモリセルアレイ31に

書き込みが行われる。その後今度は第1のビット線制御回路38がセンスアンプとして動作してセンスしたデータをそのまま再書き込み用データとしてラッチする。この様なペリファイ書き込み動作を繰り返し行う。

第1, 第2のビット線制御回路38, 39部分の具体的な構成を第11図に示す。第1のビット線制御回路38は、センスアンプ兼データラッチとして、Eタイプ, nチャネルのMOSトランジスタQ_{E10}, Q_{E11}およびEタイプ, pチャネルのMOSトランジスタQ_{E12}, Q_{E13}により構成されたCMOSフリップフロップを有する。このCMOSフリップフロップのノードには、ソース, ドレインを共通に接続したDタイプ, nチャネルのMOSトランジスタQ_{D12}, Q_{D13}がキャバシタとして設けられている。これらのキャバシタは、センス動作時にビット線のデータを電荷の形で蓄えるためのものである。Eタイプ, nチャネルMOSトランジスタQ_{E10}, Q_{E11}は、アドレスにより選ばれるカラム選択信号CSLIによって

オン, オフし、入出力線とこのセンスアンプ兼データラッチとの間のデータの転送を制御するためのものである。Eタイプ, nチャネルのMOSトランジスタQ_{E12}, Q_{E13}, Q_{E14}はCMOSフリップフロップのリセット用であり、ソースが共通に(1/2)V_{cc}に接続されたMOSトランジスタQ_{E12}, Q_{E13}によってフリップフロップのノードを(1/2)V_{cc}にリセットする働きをする。Eタイプ, pチャネルのMOSトランジスタQ_{E11}は、CMOSフリップフロップのノードとビット線の接続をオン, オフするトランスファゲートである。Eタイプ, nチャネルのMOSトランジスタQ_{E10}, Q_{E11}は、書き込みペリファイ動作時にCMOSフリップフロップのデータ内容に応じてビット線に電荷を供給する回路を構成している。Dタイプ, nチャネルのMOSトランジスタQ_{D11}とEタイプ, nチャネルのMOSトランジスタQ_{D10}は、データ統出し時にビット線をプリチャージする回路であり、ここでMOSトランジスタQ_{D11}はデータ書き込み時にビット線に与

えられる高電位V_{ppH}(~10V)がMOSトランジスタQ_{D10}に印加されないように設けられている。Eタイプ, nチャネルのMOSトランジスタQ_{E10}とDタイプ, nチャネルのMOSトランジスタQ_{D11}は、データ消去時にビット線に印加される高電位V_{pp}(~20V)が第1のビット線制御回路38内に転送されるのを防止する働きをする。これらMOSトランジスタQ_{E10}とQ_{D11}を直列接続しているのは、耐圧を上げるためにある。

第2のビット線制御回路39の構成も基本的に第1の制御回路38と同様であり、Q_{E20}, Q_{E21}がQ_{E22}, Q_{E23}に、Q_{E24}がQ_{E25}に、Q_{E26}, Q_{E27}がQ_{E28}, Q_{E29}に、Q_{E27}, Q_{E28}がQ_{E29}, Q_{E30}に、Q_{E25}, Q_{E26}がQ_{E27}に、Q_{E24}がQ_{E25}に、Q_{E22}がQ_{E23}に、Q_{D26}がQ_{D25}に、それぞれ対応している。Q_{E23}はビット線をリセットするためのEタイプ, nチャネルMOSトランジスタである。

これら第1、第2のピット線制御回路38、39の間には、第10図に示したようにメモリセルアレイ31が配置されるが、これらの間に走るピット線BLは、メモリセルアレイの中途でEタイプ、ルチャネルMOSトランジスタQ_{E21}によって、BL1とBL2に分割されている。ここで分割されたピット線BL1とBL2の長さの比は例えば、BL1 : BL2 = 3 : 2とする。この分割比は読み出し時のピット線プリチャージ電位を決めるもので、V_{cc} = 5Vのときプリチャージ電位が3Vとなる。

次にこのように構成されたEEPROMの動作を説明する。

まずデータ書き込みに先立って全てのメモリセルのデータ消去を行う。データ消去時は全ての制御線（ワード線）CGに0Vが与えられる。すなわち第6図に示す制御回路において、消去／読み出し制御回路24に消去信号ERASEが入り、これによりMOSトランジスタQ_{E21}がオンになって制御ゲート線CG1が0Vとされる。この時選択ゲー

ト線SG1、SG2も同様に0Vとされる。そしてピット線およびソース線をフローティング状態として、メモリセルアレイが形成されたP型基板（またはN型ウェルおよびN型基板）に高電圧V_{pp}が印加される。このときピット線がフローティングで高電位V_{pp}が印加されるので、第11図に示す制御信号ERPHが0Vとなり、高電位V_{pp}が第1、第2のピット線制御回路38、39に転送されないようにする。このバイアス状態を例えば、10μsecの間保つことにより、全てのメモリセルで浮遊ゲートから電子が放出され、しきい値が負の“0”状態になる。

データ書き込みは、まず1ワード分のデータが第1のピット線制御回路38内のセンスアンプ兼データラッチにラッチされる。すなわち入力されたデータはデータ入出力バッファから入出力線に転送され、アドレスによりカラム選択信号CSLiが選ばれて“H”レベルとなり、第1のピット線制御回路38内のCMOSフリップフロップにラッチされる。第11図において、データがラッチ

されるまでは、信号φPD、φVDはV_{cc}である。その後、φPD、φVD、FPSD、ERPH、φBEを高電位V_{ppH}とすることで、ピット線にはデータ“1”的ときは0V、“0”的ときはV_{ppH}が与えられる。

この時選択された制御ゲート線に高電位V_{pp}、それよりピット線側にある非選択制御ゲート線に中間電位V_{ppM}が印加される。第6図の制御回路では書き込み信号WRITEが入力される。即ち書き込み信号WRITEとアドレスa1, a1の論理によって、高電位供給回路21または中間電位供給回路22がオンとなって選択された制御ゲート線にV_{pp}、非選択の制御ゲート線にV_{ppM}が印加される。このデータ書き込みのバイアス条件を保持する時間は、従来の書き込み法に比べて十分に短いもの、例えば従来の1/100程度、具体的には10μsec程度とする。“1”が書かれたメモリセルではしきい値が正方向にシフトし、“0”が書かれたメモリセルではしきい値は負に止まる。

次に書き込みペリフェイ動作に入る。この実施例

においては、データ“1”が書かれたメモリセルのしきい値が所望の値に達しているか否かがチェックされる。この所望のしきい値はメモリセルのデータ保持特性を考慮して決められるもので、例えば2.5V程度である。この様なペリフェイ動作が書き込みが行われた1ワード線のメモリセルについて行われる。

第12図は、具体的にこの実施例での書き込みおよびペリフェイ動作のタイミングを示したものである。これを用いてより詳細に動作を説明する。まずデータ入出力線I/O, I/Oには、入出力バッファからデータが送られる。“1”データのときはI/Oが“H”レベル、“0”データのときはI/Oが“L”レベルである。アドレスにより選ばれたカラム選択信号CSLiが“H”レベルになったとき、データは第1のピット線制御回路38のCMOSフリップフロップにラッチされる。1ワード分のデータがラッチされると、RESETが“L”レベルとなり、ピット線はフローティング状態になる。ついで信号PWDが“H”

レベルになると、"0"データのときのみビット線が $V_{cc} - V_{th}$ にプリチャージされる。この後、FFSDが"H"レベルとして、"0"データのときはビット線を $V_{cc} - V_{th}$ 、"1"データのときはビット線を0Vとする。その後、 ϕ_{RD} 、 ϕ_{PD} 、FFSD、 ϕ_{BS} を V_{ppH} として、"0"データのときビット線を $V_{ppH} - V_{th}$ 、"1"データのときビット線を0Vとする。ワード線は前述のように所望の値に設定され、書き込みが終了する。

書き込みが終了すると、信号 ϕ_{VD} 、 ϕ_{PD} 、 ϕ_{BE} は V_{cc} 、FFSDは0Vとなる。またリセット信号RESETが"H"レベルとなり、ビット線は0Vにリセットされる。

続いてペリファイ動作に入る。先ず、信号 ϕ_{BE} が"L"レベルとなり、ビット線BL2がフローティングとなる。そして信号PREが"H"レベルになり、ビット線BL1は V_{cc} に充電される。次に信号PREとRESETが"L"レベルになり、 ϕ_{BE} が"H"レベルになって、ビット線BL1、BL2は(3/5) V_{cc} (~3V)のフローティ

ングとなる。また信号PREとRESETが"L"レベルにすると同時に、信号 ϕ_{nD} と ϕ_{ED} を(1/2) V_{cc} とし、続いて信号 ϕ_{EU} を"H"レベルとすると、第2のビット線制御回路39内のCMOSフリップフロップのノードN3、N4の電位は(1/2) V_{cc} となる。そして信号 ϕ_{EU} を"L"レベルとし、FFSUを"H"レベルとする。このときワード線は前述のように所望の電位となり、選択された制御ゲートは V_{vex} となり、メモリセルのしきい値がこれより低いとビット線の電位は下がっていく。つまり、"1"データを書き込んだ後にメモリセルのしきい値が V_{vex} より低い状態、言い換えれば書き込み不十分の状態であれば、ビット線の電位は(1/2) V_{cc} より下がり、後の再書き込みの動作で"1"が書かれる。また"0"データを書き込んだ後であれば、当然ビット線の電位は下がる。これでは再書き込み時に誤って"1"が書かれるので、ワード線を0Vとした後、信号PWDを"H"レベルとする。"0"データが第2のビット線制御回路39にラッチされている場合

のみビット線は再充電される。このときのビット線は、"1"データを書き込んだ後にそのメモリセルのしきい値が V_{vex} より低いときのみ、(1/2) V_{cc} より低くなるようにされている。この時、ノードN3は(1/2) V_{cc} より高いか低いかが決まっており、ノードN4は(1/2) V_{cc} である。そして信号PWDを"L"レベルとし、信号FFSUを"H"レベルとする。これによりノードN3、N4はフローティング状態になる。この状態で信号 ϕ_{nD} を0V、信号 ϕ_{ED} を V_{cc} とすると、ノードN3、N4の電位差の大小がセンスされ、そのデータはそのままラッチされる。このラッチされたデータが再書き込みのデータとなる。

第1のビット線制御回路38と第2のビット線制御回路39は基本的に同様の回路であるから、同様の動作をする。つまり再書き込みは第2のビット線制御回路39から行われ、そのペリファイ読み出しは第1のビット線制御回路38で行われる。以上の動作が繰返し、例えば128回行われて、ペリファイ動作は終了する。

第13図は、データ読み出し動作のタイミング図である。アドレスが入ると先ず、信号 ϕ_{BE} が"L"レベルとなり、第2のビット線制御回路39側のビット線BL2がフローティングとなる。続いて信号PREが"H"レベルとなり、ビット線BL1が V_{cc} にプリチャージされる。そして信号PREとRESETが"L"レベル、 ϕ_{RD} 、 ϕ_{nD} が(1/2) V_{cc} となり、その後信号 ϕ_{BE} が"H"レベルになって、ビット線BL1、BL2は(3/5) V_{cc} にプリチャージされる。また信号 ϕ_{ED} が"H"レベルになって、第1のビット線制御回路28側のノードN1、N2が(1/2) V_{cc} になる。続いて、信号 ϕ_{ED} が"L"レベルになる。そして信号FFSDが"H"レベルになると同時にワード線が前述のように読み出し時の電位に設定されると、セルデータが"0"のときビット線は電位が下がり、"1"データのときはビット線電位は変わらない。このビット線電位はノードN1に転送され、信号FFSDが"L"レベル、 ϕ_{RD} が V_{cc} 、 ϕ_{nD} が0Vとなることにより、第1のビット線制御回路38の

表 - 3

	消去	書き込み ⁻¹	書き込み ⁻⁰	書き込みペリファイ	読み出し
ビット線	—	AV	AV	3V	3V
SG ₁	0V	10V	10V	5V	5V
CG ₁	0V	AV	AV	5V	5V
CG ₂	0V	20V	20V	2.5V	0V
CG ₃	0V	10V	10V	5V	5V
CG ₄	0V	10V	10V	5V	5V
CG ₅	0V	10V	10V	5V	5V
CG ₆	0V	10V	10V	5V	5V
CG ₇	0V	10V	10V	5V	5V
CG ₈	0V	10V	10V	5V	5V
CG ₉	0V	10V	10V	5V	5V
CG ₁₀	0V	10V	10V	5V	5V
CG ₁₁	0V	10V	10V	5V	5V
CG ₁₂	0V	10V	10V	5V	5V
SG ₂	0V	AV	AV	5V	5V
ソース線	—	AV	AV	0V	0V
基板	20V	AV	AV	0V	0V

なお実施例では、ペリファイ動作でのしきい値評価基準を2.5Vとしたがこれは許容しきい値分布との関係で、他の適当な値に設定することが

できる。1回の書き込み時間についても同様であり、例えば最終的なしきい値分布をより小さいものとするためには、1回の書き込み時間をより短くして小刻みに書き込み/ペリファイ動作を繰り返すようすればよい。また実施例では、トンネル注入を利用したNANDセル型EEPROMについて説明したが、ホットエレクトロン注入等他の方式を利用するものであっても、NANDセル型のEEPROMであれば本発明は有効である。

その他本発明は、その趣旨を逸脱しない範囲で種々変形して実施することができる。

【発明の効果】

以上述べたように本発明によれば、書き込みペリファイ制御を行うことにより、1回のデータ書き込み時間を短くして、最終的に書き込まれたメモリセルのしきい値分布を小さいものとして信頼性向上を図ったNANDセル型のEEPROMを提供することができる。

4. 図面の簡単な説明

第1図は本発明の一実施例のEEPROMの構

成を示す図、

第2図(a) (b)はそのメモリセルアレイの一つのNANDセルの平面図と等価回路図、

第3図(a) (b)はそれぞれ第2図(a)のA-A'およびB-B'断面図、

第4図はメモリセルアレイの等価回路図、

第5図および第6図は第1図の要部構成を具体的に示す図、

第7図はペリファイ電位発生回路を示す図、

第8図はペリファイ終了検知回路の構成例を示す図、

第9図はペリファイ動作を説明するためのタイミング図、

第10図は他の実施例のNANDセル型EEPROMの要部構成を示す図、

第11図はそのビット線制御回路の具体的構成例を示す図、

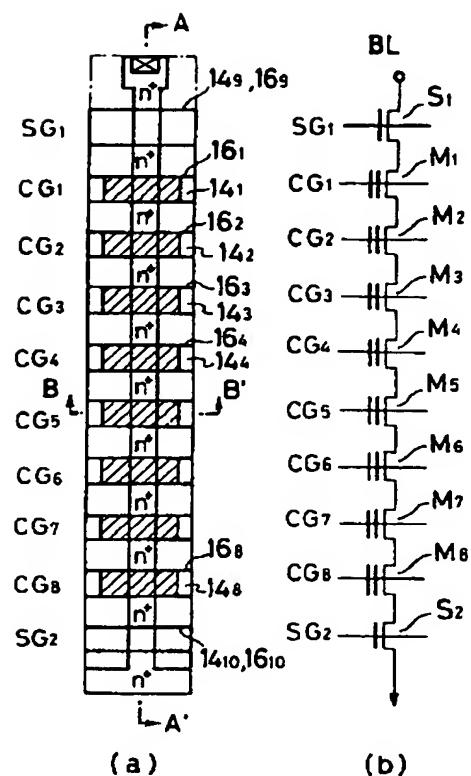
第12図は書き込みおよびペリファイ動作を説明するためのタイミング図、

第13図は読み出し動作を説明するためのタイミ

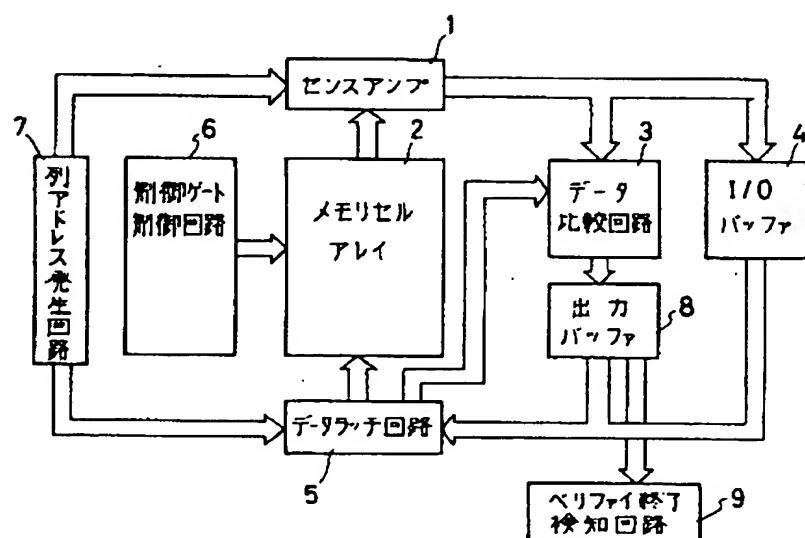
ング図である。

1…センスアンプ回路、2…メモリセルアレイ、
 3…データ比較回路、4…入出力バッファ、
 5…データラッチ回路、6…制御ゲート制御回路、
 7…列アドレス発生回路、8…ペリファイ終了
 検知回路、31…メモリセルアレイ、32…
 アドレスバッファ、33…ロウデコード、34…
 カラムデコード、35…データ入出力バッファ、
 36…基板電位制御回路、37…制御ゲート
 制御回路、38…第1のピット線制御回路、
 39…第2のピット線制御回路。

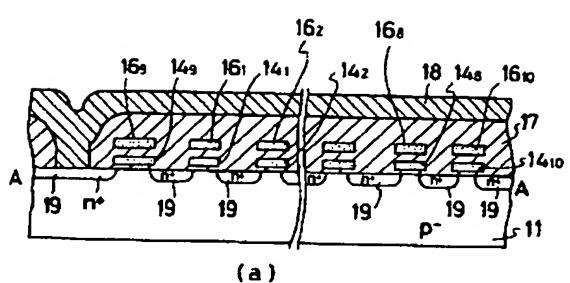
出願人代理人 弁理士 鈴江武彦



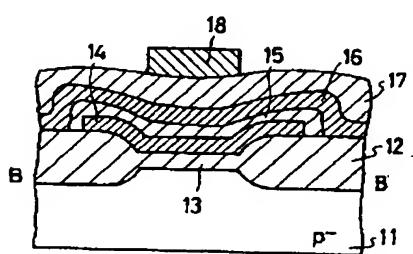
第 2 図



第 1 図

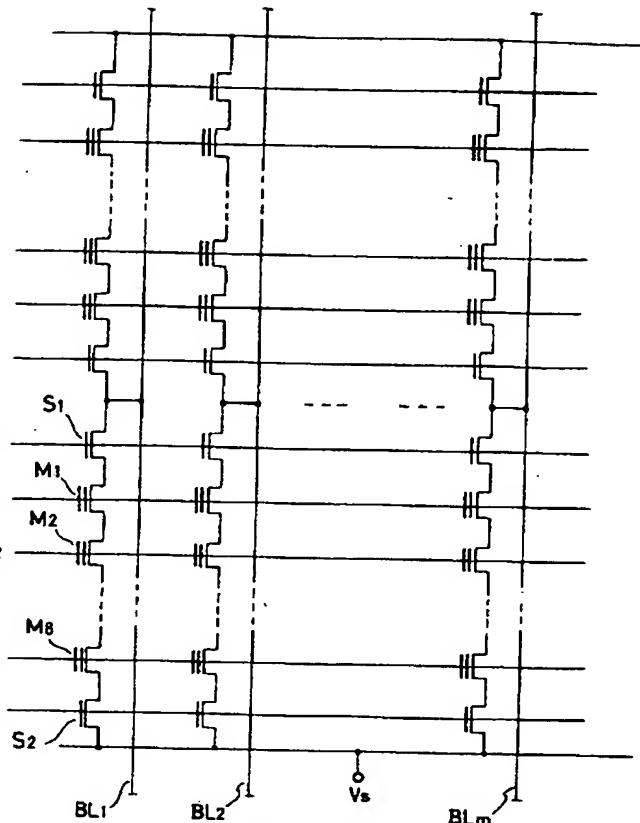


(a)

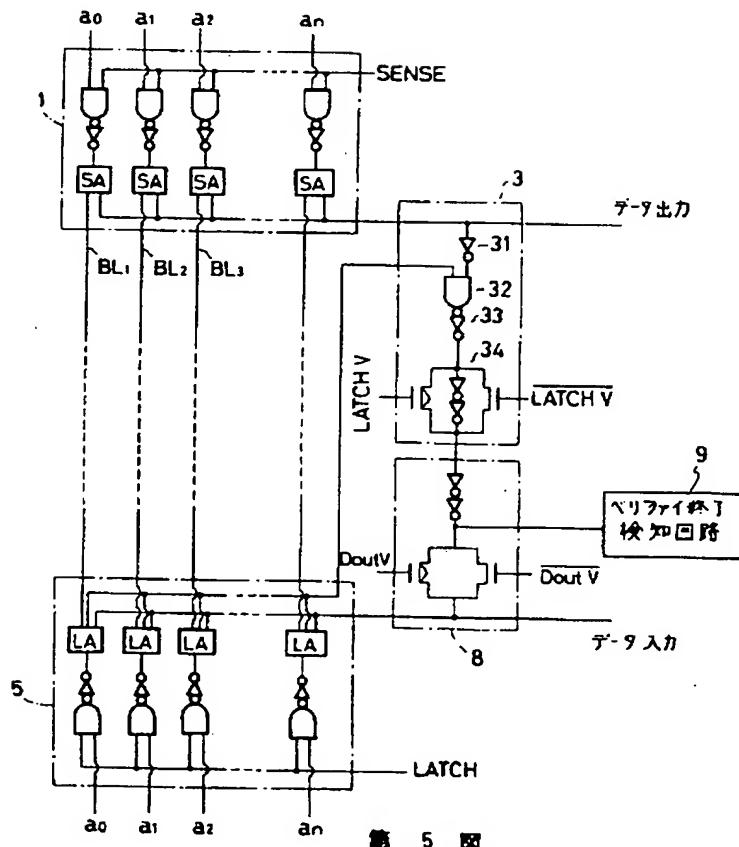


(b)

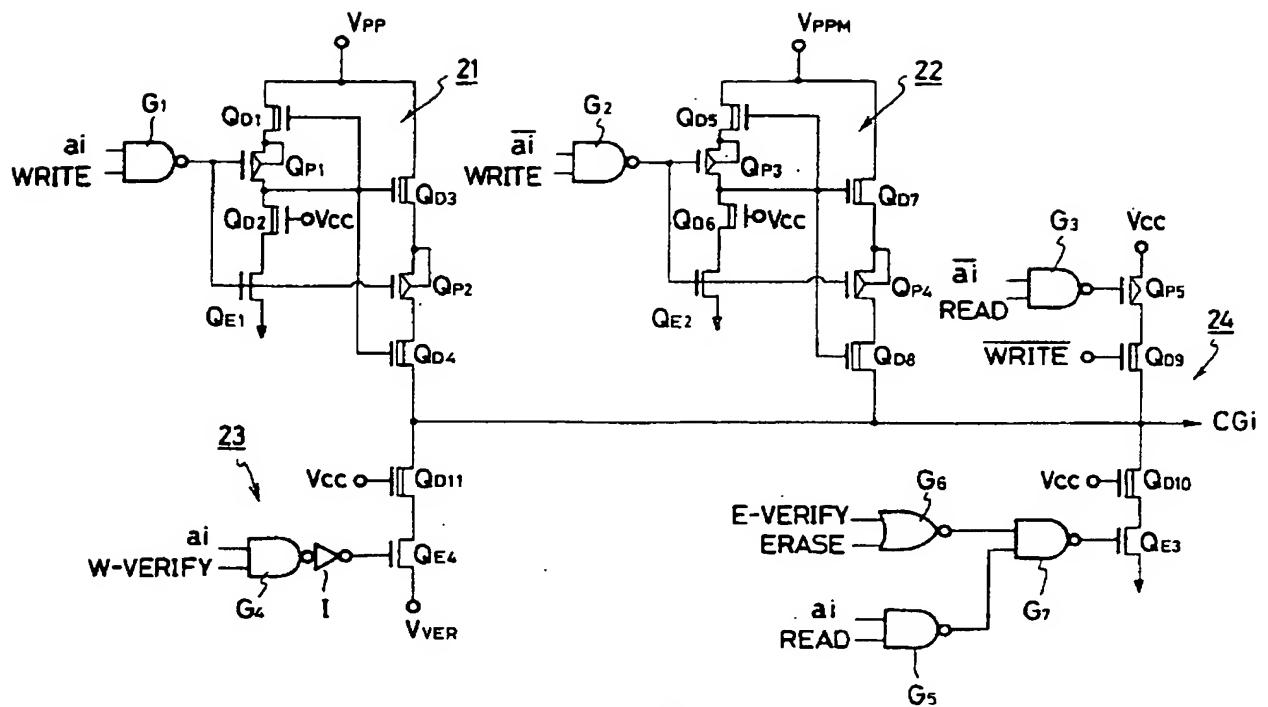
第3図



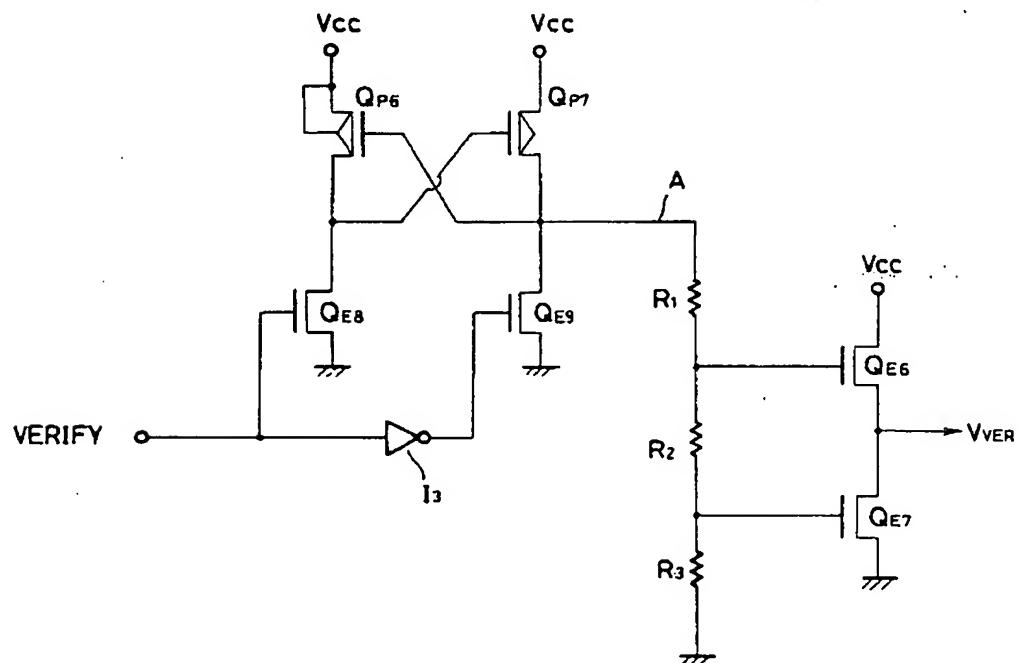
第4図



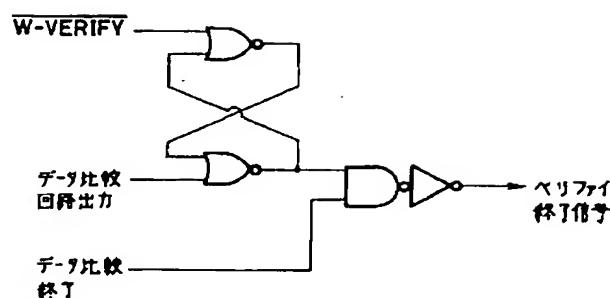
第5図



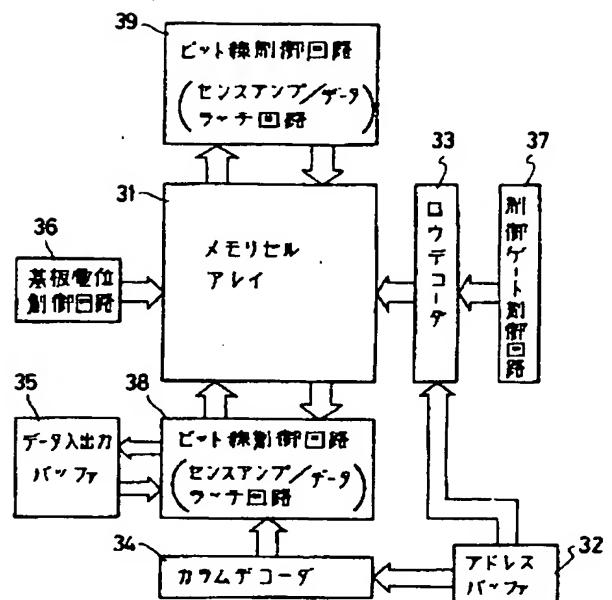
第 6 図



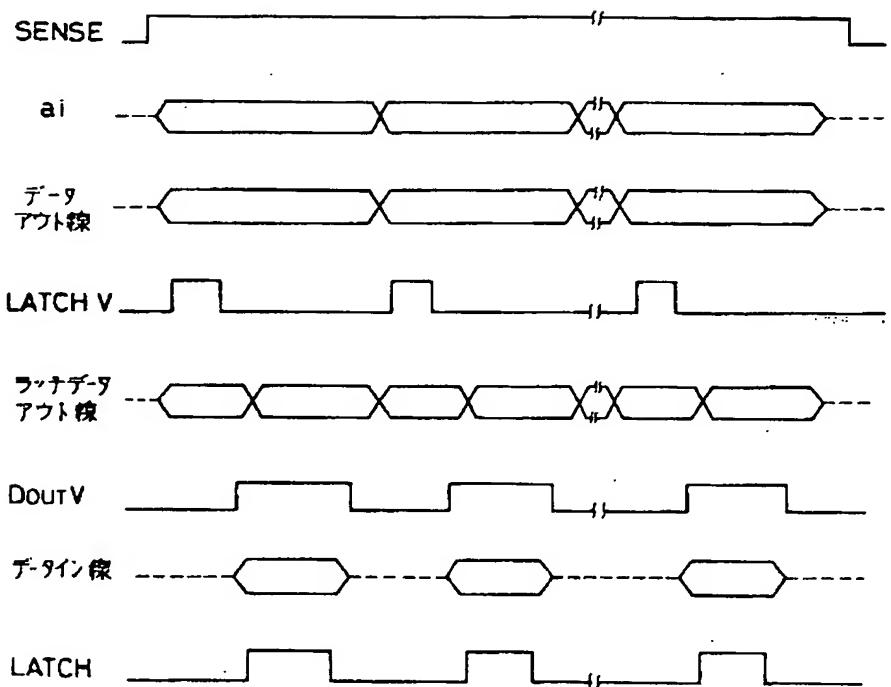
第 7 図



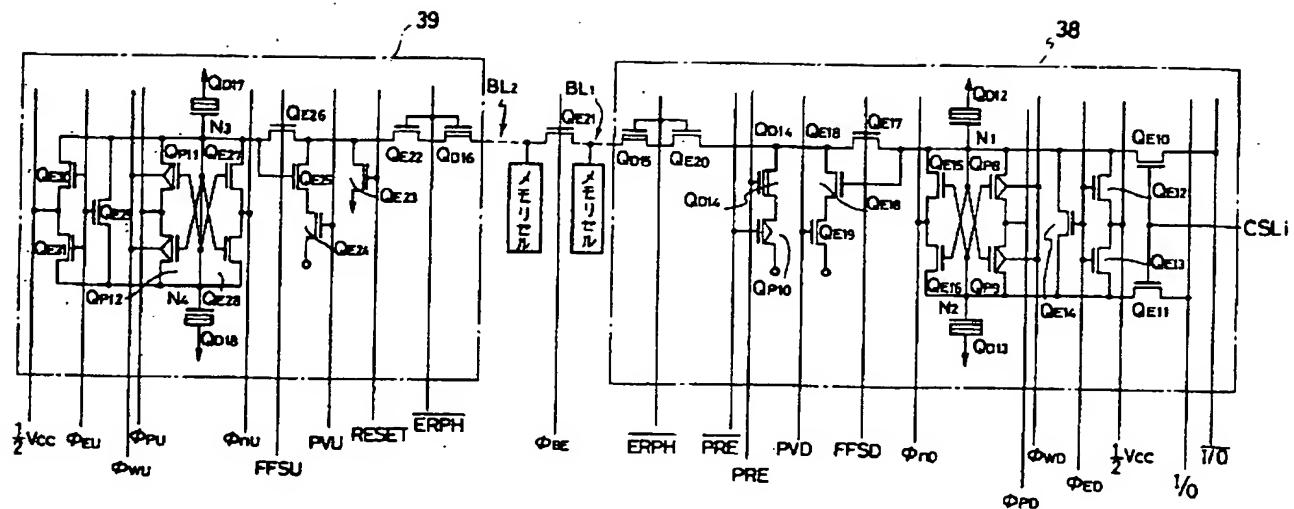
第 8 図



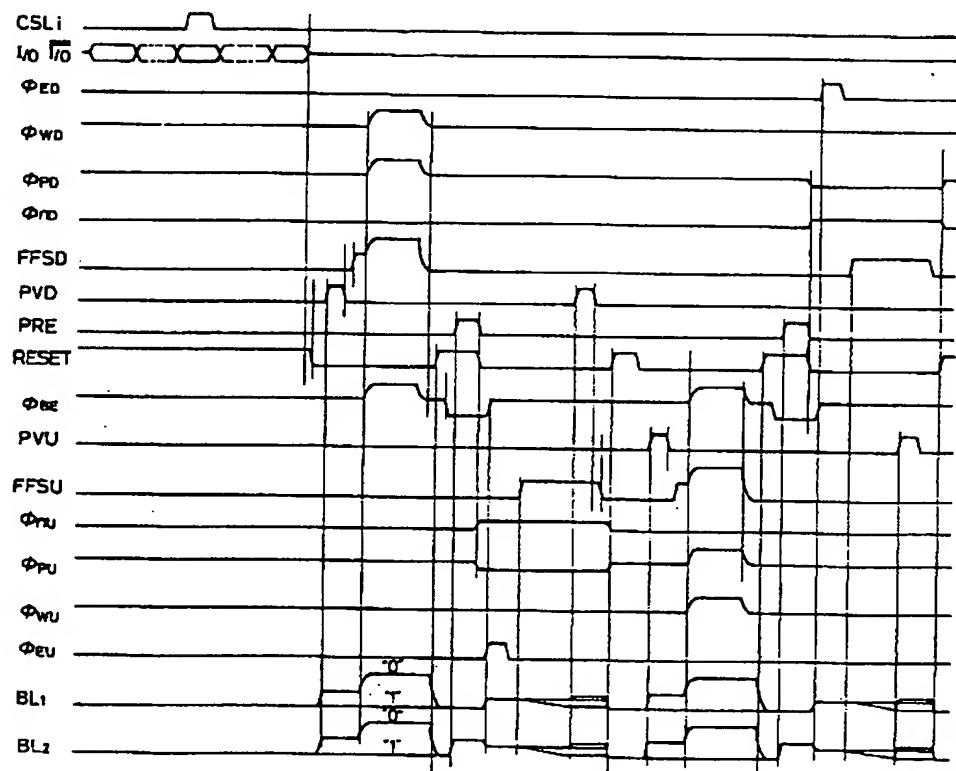
第 10 図



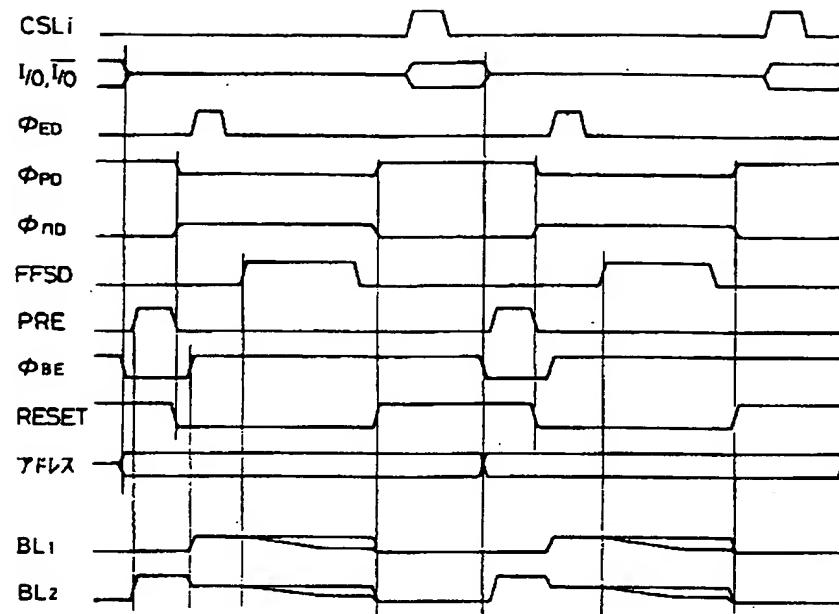
第 9 図



第 11 図



第 12 図



第 13 図

第 1 頁の続き

⑤Int. Cl.⁵H 01 L 27/115
29/788
29/792

識別記号

府内整理番号

8831-4M H 01 L 27/10 4 3 4

- ②発明者 伊藤 寧夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
- ②発明者 百富 正樹 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内
- ②発明者 弁岡 富士雄 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内